

4Gb DDR4 SDRAM 产品规格书-兼容三星



致力于国产替代--三星，海力士，镁光,ADI，英飞凌.

型号：HGD32G16S21

官方网站：www.hgchips.com

技术支持邮箱：long@hgtech.cc

文档版本信息

文档版本	发布日期	修订内容	作者
Rev. U	2023 年 11 月	初始发布	HGCHIPS 技术文档部

目录

1. 重要声明
2. 产品概述
3. 关键特性
4. 订货型号说明
5. 技术规格
6. 引脚定义

- 7. 模式寄存器
- 8. 电气特性
- 9. 封装尺寸
- 10. 兼容性声明
- 11. 联系方式

1. 重要声明

1.1 法律声明

HGCHIPS 保留随时更改本文件信息的权利，包括但不限于规格和产品描述，恕不另行通知。本文件取代并替换之前提供的所有信息。您不得依赖本文件中的任何信息，如果您从任何未经授权的经销商或其他未经 HGCHIPS 授权的来源获得本产品。

1.2 应用限制

- **汽车应用：**除非 HGCHIPS 数据表明确指定为汽车级，否则产品并非为汽车应用而设计或打算用于汽车应用。
- **关键应用：**产品未授权用于 HGCHIPS 组件故障可能导致死亡、人身伤害或严重财产或环境损害的应用。

1.3 客户责任

客户对使用 HGCHIPS 产品的系统、应用和产品的设计、制造和操作负全部责任。所有半导体产品都有固有的故障率和有限的使用寿命。客户有责任确定 HGCHIPS 产品是否适合其系统、应用或产品。

2. 产品概述

2.1 产品描述

HGD2G16S21 DDR3 SDRAM 是一款高速动态随机存取存储器，内部配置为：

x16 配置：8 个内部存储体（8 Bank，无 Bank Group）

采用 8n 预取架构实现高速操作，接口设计为每个时钟周期在 I/O 引脚传输两个数据字（双倍数据速率）。

2.2 产品架构

单次读或写操作在内部 DRAM 核心进行 8n 位宽、四时钟周期的数据传输，对应 I/O 引脚进行 8 次 n 位宽、半时钟周期的数据传输。

2.3 温度等级

商业级：TC = 0 ° C 至 95 ° C

工业级：TC = - 40 ° C 至 95 ° C（按 PDF 注 3，>85 ° C 时需加倍刷新）

3. 关键特性

类别	特性描述
电源	VDD = VDDQ = 1.5 V ±75 mV；无 VPP 供电
接口	SSTL_15 全摆幅 I/O，需外部 $0.49-0.51 \times VDDQ$ 的 VREFCA 与 VREFDQ
刷新	8192 周期刷新 0 °C ~ 85 °C：7.8 μs 85 °C ~ 95 °C：3.9 μs
存储体	x16：8 个内部 Bank（8 Bank，无 Bank Group）
预取	8n 位预取架构
高级功能	可编程 CAS 延迟 CL=5,6,7,8,9,10,11,13,14 可编程附加延迟 AL=0, CL-1, CL-2 可编程 CAS 写延迟 CWL=5/6/7/8/9/10（按速度档自动匹配） 内部 ZQ 校准（输出驱动 & ODT，240 Ω ±1 % RZQ）

类别	特性描述
	静态 ODT (RTT_Nom) 与动态 ODT (RTT_Wr)
	异步 RESET 引脚 (低有效)
	数据掩码 DM (无 DBI)
	无温度控制刷新/细粒度刷新/TCR 等 DDR4 功能
	支持最大功耗节省模式: Precharge Power-Down、Self-Refresh
	写平衡 (Write Leveling)
	无连通性测试、sPPR/hPPR 等 DDR4 功能

4. 订货型号说明

4.1 配置选项

配置	代码	容量
128 M×16	128M16	2Gb

4.3 封装选项

封装	代码	尺寸	Ball 数
96-ball FBGA	BC	7.5 mm×13.5 mm	96

4.4 速度等级

数据速率	时钟周期	CL	应用
DDR3-2133			主流/高性能

4.5 温度等级

代码	等级	温度范围
无标记	商业级	0°C 至 95°C
IT	工业级	-40°C 至 95°C

6. 引脚定义

6.1 96-ball FBGA (x16)引脚功能

引脚名称	类型	描述
地址/命令		
A[12:0]	Input	行/列地址输入
BA[2:0]	Input	Bank 地址
RAS, CAS, WE	Input	命令输入
A10/AP	Input	自动预充电标志/全局预充电选择
A12/BC	Input	Burst-Chop 控制
时钟/控制		
CS_n	Input	片选（低电平有效）
ODT	Input	片内终端控制
RESET	Input	异步复位（低有效）
CKE	Input	时钟使能
CK, CK	Input	差分时钟
数据接口		
DQ[15:0]	I/O	双向数据总线
DQSU, DQSU	I/O	差分数据选通（对应 DQ[15:8]）
DQSL, DQSL	I/O	差分数据选通（对应 DQ[7:0]）

引脚名称	类型	描述
DMU (DMU)	Input	上字节数据掩码（无 DBI 功能）
DML (DML)	Input	下字节数据掩码（无 DBI 功能）

电源

VDD	Supply	核心电源 1.5 V ±75 mV
VDDQ	Supply	DQ 电源 1.5 V ±75 mV
VREFCA	Supply	控制/地址参考电压 0.49–0.51 × VDD
VSS, VSSQ	Supply	地

7. 模式寄存器

7.1 MR0 配置

位	功能	选项
A2,A1,A0	突发长度	000=BL8（固定） 001=BC4 on-the-fly 010=BC4（固定） 其余=保留
A3	突发类型	0=顺序，1=交错
A6,A5,A4	CAS 延迟 CL	5,6,7,8,9,10,11,13,14（速度档决定可用值）
A8	DLL 复位	0=不复位 1=复位（自清除）
A11,A10,A9	写恢复(WR)/读预充电(RTP)	5–16（以 CK 为单位，需 ≥ tWR/tCK）
A12	测试模式	0=正常模式

位	功能	选项
		1=保留（不得置 1）
A13	掉电退出	0=慢退出 1=快退出（MR0 仅 DDR3 用 A13，非 A15）

7.2 MR1 配置

位	功能	选项
A0	DLL 使能	0=禁用，1=使能（正常操作）
A4,A3,A2,A1,A5	输出驱动阻抗	00001 = 34 Ω （RZQ/7，默认） 00010 = 40 Ω （RZQ/6） 00100 = 48 Ω （RZQ/5） 其余组合保留
A6	附加延迟(AL)	0 = 0（无 AL） 1 = CL-1（使能 Posted CAS）
A8,A7	写平衡	0=禁用，1=使能
A9,A6,A2	RTT_NOM	000 = 禁用 001 = 60 Ω （RZQ/4） 010 = 120 Ω （RZQ/2） 011 = 40 Ω （RZQ/6） 100 = 20 Ω （RZQ/12） 101 = 30 Ω （RZQ/8） 其余保留
A12	输出禁用	0=使能，1=禁用

7.3 MR2 配置

位	功能	选项
A5,A4,A3	CAS 写延迟(CWL)	5 (DDR3-800) 6 (DDR3-1066) 7 (DDR3-1333) 8 (DDR3-1600) 9 (DDR3-1866) 10 (DDR3-2133) 其余值保留
A6	自刷新温度范围	0 = 正常温度范围 (0–85 °C, tREFI=7.8 μs) 1 = 扩展温度范围 (85–95 °C, tREFI=3.9 μs)
A7	RTT_WR	00 = 禁用动态 ODT 01 = 60 Ω (RZQ/4) 10 = 120 Ω (RZQ/2)
A12	写 CRC	DDR3 无此功能, 位保留 (必须写 0)

8. 电气特性

8.1 绝对最大额定值

参数	符号	最小值	最大值	单位
VDD/VDDQ 相对于 VSS	VDD, VDDQ	-0.4	+1.80	V
输入电压	VIN	-0.4	+1.80	V
输出电压	VOUT	-0.4	+1.80	V
工作温度 (商业级)	TC	0	+95	°C
工作温度 (工业级)	TC	-40	+95	°C

8.2 推荐工作条件

参数	符号	最小值	典型值	最大值	单位
电源电压	VDD, VDDQ	1.425	1.5	1.575	V
激活电源电 压	VREFCA	0.49×VDD- 0.04	0.5×VDD	0.51×VDD	V
控制/地址 参考电压	VREFDQ	0.49×VDD- 0.04 生成)	0.5×VDD	0.51×VDD	V

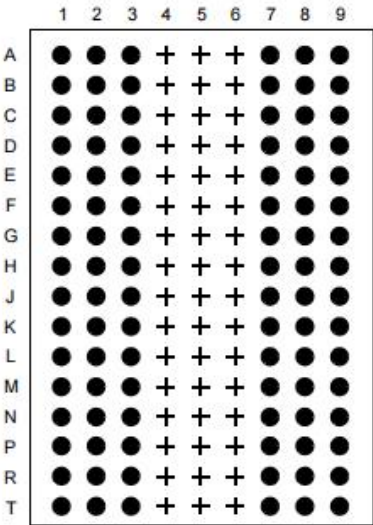
9. 封装尺寸

9.1 96-ball FBGA

Ball Locations (x16)

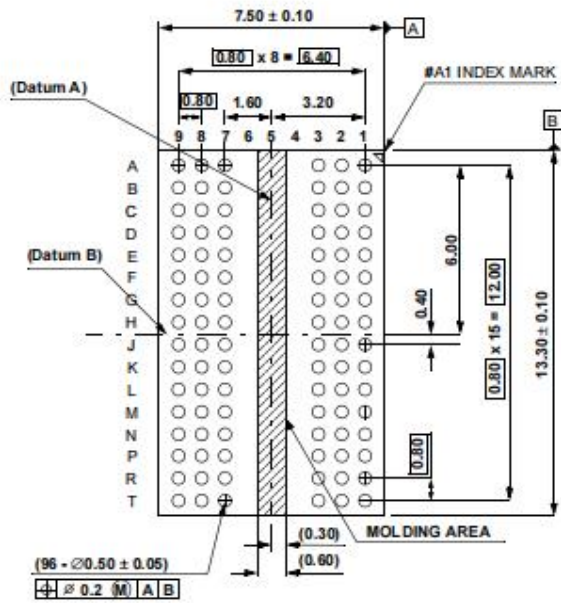
- Populated ball
- + Ball not populated

Top view
(See the balls through the package)

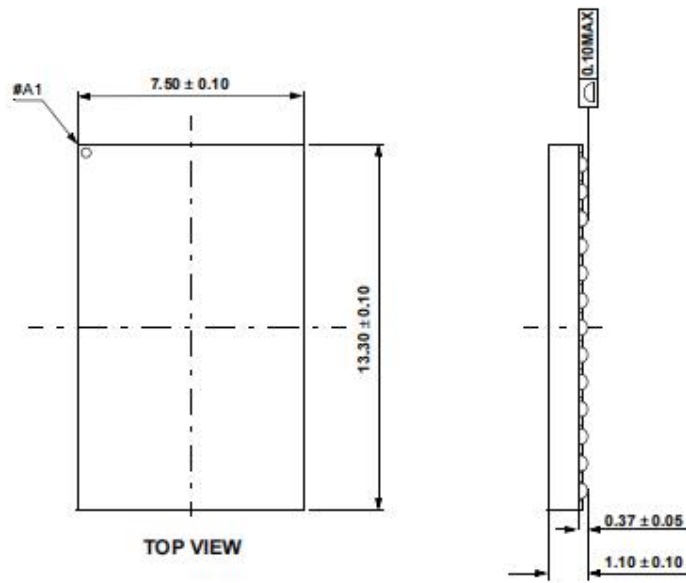


9.2 尺寸如下:

Units : Millimeters



BOTTOM VIEW



10. 兼容性声明

10.1 JEDEC 标准兼容性

HGD34G16S21 系列 DDR43SDRAM 完全符合 JEDEC JESD79-4 标准，确保与所有符合 JEDEC 标准的 DDR3 控制器和系统兼容。

10.2 直接替换性

本产品与三星 K4B2G1646F-BCNB 系列 DDR3 SDRAM 完全兼容，可直接替换使用，无需任何软件或硬件修改。所有引脚排列、时序参数、模式寄存器设置和功能特性均保持一致。

10.3 质量保证

HGCHIPS 实施严格的质量控制流程，所有产品均经过 100%测试，符合工业级和汽车级应用的质量要求。

11. 联系方式

11.1 公司信息

11.1 公司信息

中山市华工科有限公司

HGCHIPS Technologies Co., Ltd.

地址：中国中山市翠亨新区香山大道 34 号西湾国家重大仪器科学园厂房 1 号楼 1120

电话：+86-760-8992 4799 传真：+86-760-8992 4799

11.2 技术支持

- 官方网站：www.hgchips.com
- 技术邮箱：long@hgtech.cc
- 销售邮箱：sales@hgchips.com
- 支持热线：0760-8992 4799（工作日 9:00-18:00）

11.3 在线资源

访问 www.hgchips.com 获取：

- 最新产品数据表
- 应用笔记和技术白皮书
- 参考设计原理图
- 软件驱动和固件
- 常见问题解答(FAQ)

HGCHIPS 保留所有权利

© 2023 HGCHIPS Technologies Co., Ltd. 版权所有

本规格书内容如有变更，恕不另行通知。请访问 www.hgchips.com 获取最新版本。
